

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08304853 A**

(43) Date of publication of application: **22 . 11 . 96**

(51) Int. Cl.

G02F 1/136
H01L 29/786
H01L 21/336

(21) Application number: **08070914**

(22) Date of filing: **04 . 03 . 96**

(30) Priority: **06 . 03 . 95 JP 07 70449**

(71) Applicant: **CANON INC**

(72) Inventor: **WATANABE TAKANORI**
MIYAWAKI MAMORU

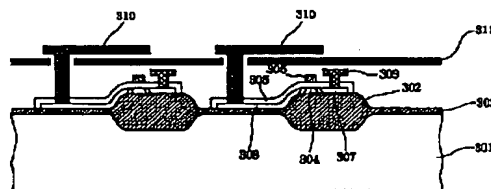
(54) LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

PURPOSE: To provide a liquid crystal display device capable of displaying a high-luminance, high-gradation and high-definition picture.

CONSTITUTION: In this liquid crystal display device having a matrix substrate where a transistor is arranged corresponding to the intersection of a data signal wiring and a scanning signal wiring; the layer thickness of an insulating layer 302 under the source 307 of the transistor is made larger than that of an insulating layer 303 under the drain 308 thereof.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-304853

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 Z
21/336				6 2 6 C

審査請求 未請求 請求項の数10 F D (全 14 頁)

(21) 出願番号 特願平8-70914

(22) 出願日 平成8年(1996)3月4日

(31) 優先権主張番号 特願平7-70449

(32) 優先日 平7(1995)3月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 渡邊 高典

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 宮脇 守

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

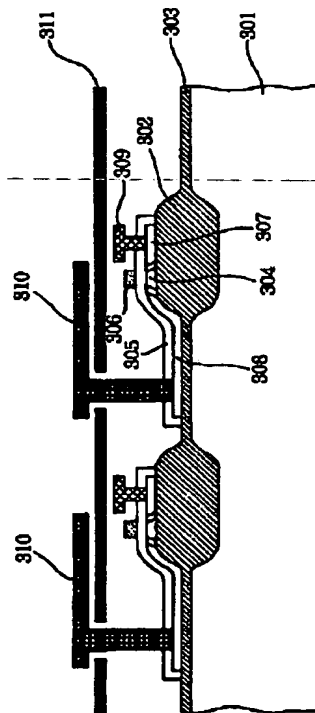
(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 高輝度、高階調、高精細な画像表示を行い得る液晶表示装置を提供する。

【解決手段】 データ信号配線と走査信号配線の交点に対応してトランジスタが配されているマトリクス基板を有する液晶表示装置において、トランジスタのソース307の下方の絶縁層302の層厚を、ドレイン308の下方にある絶縁層303の層厚よりも厚くしたことを特徴とする。



【特許請求の範囲】

【請求項 1】 データ信号配線と、走査信号配線の交点に対応してトランジスタが配され、前記データ信号配線が前記トランジスタのソースに、前記走査信号配線が前記トランジスタのゲートに、画素電極が前記トランジスタのドレインに、それぞれ接続されてなるマトリクス基板と、

前記画素電極に対向する対向電極を有する対向基板と、の間に液晶層を配して構成される液晶表示装置において、

前記トランジスタの下方には絶縁層を介して前記マトリクス基板を構成する半導体層若しくは、導電層が配されていて、前記ソースと前記半導体層若しくは前記導電層との間に位置する前記絶縁層の層厚が、前記ドレインと前記半導体層若しくは前記導電層との間に位置する前記絶縁層の層厚よりも厚く構成されていることを特徴とする液晶表示装置。

【請求項 2】 前記導電層に所定の電位を与える手段を有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記トランジスタを駆動する周辺回路の少なくとも一部が、単結晶半導体基板上に形成されていることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】 前記ソースと前記半導体層若しくは前記導電層との間に位置する前記絶縁層の層厚が、2000 Å~15000 Å の範囲にある請求項 1 に記載の液晶表示装置。

【請求項 5】 前記絶縁層の層厚が、2000 Å~10000 Å の範囲にある請求項 4 に記載の液晶表示装置。

【請求項 6】 前記絶縁層の層厚が、4000 Å~8000 Å の範囲にある請求項 4 に記載の液晶表示装置。

【請求項 7】 前記ドレインと前記半導体層若しくは前記導電層との間に位置する前記絶縁層の層厚が、50 Å~2000 Å の範囲にある請求項 1 に記載の液晶表示装置。

【請求項 8】 前記絶縁層の層厚が、500 Å~1500 Å の範囲にある請求項 7 に記載の液晶表示装置。

【請求項 9】 前記絶縁層の層厚が、700 Å~1000 Å の範囲にある請求項 7 に記載の液晶表示装置。

【請求項 10】 前記トランジスタのチャネル領域を構成する半導体層よりも、前記ソース若しくは前記ドレインを構成する半導体層の層厚が厚い請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関し、特に、画素毎にスイッチング素子を有するアクティブマトリクス型の液晶表示装置に関するものである。

【0002】

【従来の技術】 アクティブマトリクス型液晶表示装置の画素セルの等価回路図を図 1 に示す。1001 は信号配線であり、1002 は画素トランジスタである。1003 は画素トランジスタ 1002 のオン/オフを制御するゲート線であり、信号配線 1001 に与えられた画像信号は画素トランジスタ 1002 を介して画素電極に書き込まれ、液晶 1004 に電圧として印加される。しかしながら、画素電極に一度書き込まれた信号は、液晶に流れてしまうリーク電流や、画素トランジスタのリークによって変化してしまう。画素電極の電位を次の書き込みまでの間保持する必要があることから、通常、画素電極と並列に保持容量 1005 を形成する。図 2 (a) に従来例 (特公平 1-33833 号公報) の画素セルの断面構造を、図 2 (b) に平面構造を示す。1101 は透明絶縁基板であり、1102 は信号配線、1103 はポリシリコンで形成されたゲート線、1104 はポリシリコン 1103 を酸化して形成した絶縁膜、1105 は画素トランジスタのソース、1106 は画素トランジスタのドレインである。1107 は保持容量形成のための電極であり、絶縁膜 1108 を介して、ドレイン 1106 を延長した領域、即ち画素電極 1109 との間に容量を形成している。

【0003】

【発明が解決しようとする課題】 上述の画素トランジスタのリーク電流を 1×10^{-14} A として、画素電極の電位変動を保持時間 1/30 秒で 10 mV 以下に抑えようとすると、前記保持容量は 30 fF 程度必要となる。図 2 に示した従来例の構造で、絶縁膜 1108 を SiO_2 で例えば膜厚 600 Å とすると、30 fF の容量を形成するためには約 $50 \mu\text{m}^2$ の面積が必要となる。このことは、表示装置の高精細化を図る上で大きな障害となる。例えば、0.5 インチの電子ビューファインダーを設計する際に、10 万画素のパネルであれば 1 画素あたり約 $700 \mu\text{m}^2$ の面積があり、容量形成による開口の損失は 7% 程度であるが、30 万画素を実現しようとすると、1 画素の面積は約 $230 \mu\text{m}^2$ であり、容量形成のために 20% もの面積を損失することになる。また、反射型パネルの場合でも、画素数を増やしていくことによって、1 画素の面積が小さくなり、必要な容量が確保できなくなるという問題が起こる。

【0004】 さらに、図 2 の従来例では共通電極 1107 をゲート線 1103 と同時に形成するため、共通電極 1107 はゲート線 1103 と交差しないように、一方方向に引き回して配線する必要がある。このため、共通電極の配線抵抗が大きくなり、画素電極 1109 へ信号を書き込む際に共通電極の電位が変動するという問題も生じる。

【0005】 また、絶縁膜 1108 はポリシリコンを酸化したものであり、単結晶シリコンの酸化膜に比べて信頼性が低く、膜厚を薄くするとリークが発生したり絶縁

破壊が起こるという問題も抱えている。

【0006】こうした状況下において、容量形成を効率的に行なう提案が特許協力条約に基づく国際出願の公開公報W089/02095になされている。図3は、当該公開公報W089/02095に開示されている液晶表示装置の模式図である。

【0007】図3に示した液晶表示装置においては、シリコンウェハー11上にイオン注入により形成された絶縁層13が配されており、該絶縁層13上にソース21、ドレイン17、ゲート酸化膜27、ゲート29からなるトランジスタが形成されている。そして、ソース21には画素電極33が接続されており、該画素電極33上に残る構成部材36を配して液晶表示装置が構成されている。

【0008】当該公報には、ソース/キャパシタ領域21は、キャパシタの一方のプレートとなすと共に、基板11が他方のプレートとなし、これらソース/キャパシタ領域21と基板11とで形成されるキャパシタにより、画素電極を通して液晶に印加される電圧を保持することが記載されている。

【0009】本発明者らは、当該公報に開示された液晶表示装置について検討を行なった。そうしたところ、当該公報に開示されている液晶表示装置にあっては、トランジスタが基板11上の薄い均一な膜厚をもつ絶縁層13上に形成されていることから、ドレイン17に接続される信号配線（不図示）と基板11との間に形成される寄生容量が大きくなってしまふことが判明した。寄生容量が大きくなると時定数は大きくなり、画素数の多い表示装置を構成した場合には、十分液晶を駆動できなくなるといった事態を招く恐れがある。

【0010】本発明の目的は、上述した技術的課題を解決した液晶表示装置を提供することにある。

【0011】本発明の別の目的は、液晶に印加する電圧を保持する保持容量を効率的に形成すると共に、信号配線の寄生容量の抑制を図った液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】上述した課題を解決し、上述した目的を達成する本発明の液晶表示装置は、下述する構成のものである。

【0013】即ち、本発明の液晶表示装置は、データ信号配線と、走査信号配線の交点に対応してトランジスタが配され、前記データ信号が前記トランジスタのソースに、前記走査信号配線が前記トランジスタのゲートに、画素電極が前記トランジスタのドレインに、それぞれ接続されてなるマトリクス基板と、前記画素電極に対向する対向電極を有する対向基板と、の間に液晶層を配して構成される液晶表示装置において、前記トランジスタの下方には絶縁層を介して前記マトリクス基板を構成する半導体層若しくは、導電層が配されていて、前記ソース

と前記半導体層若しくは前記導電層との間に位置する前記絶縁層の層厚が、前記ドレインと前記半導体層若しくは前記導電層との間に位置する前記絶縁層の層厚よりも厚く構成されていることを特徴とするものである。

【0014】上記構成の液晶表示装置によれば、上述した課題が解決され、上述した目的が達成される。即ち、本発明の液晶表示装置によれば、トランジスタのドレインの下方に絶縁層を介して半導体層若しくは導電層を配したことにより、ドレインと、半導体層若しくは導電層と、の間に容量を形成できる。これにより、画素サイズを縮小した場合にも開口率を著しく損なうことなく大きな保持容量を持つ液晶表示装置が実現できる。

【0015】これに加えて、ソース下方の絶縁層の層厚を、ドレイン下方の絶縁層の層厚よりも厚くしたことにより、ソースに接続される信号配線の寄生容量が抑制され小さなものとなることから、画素数を増やして表示装置を大型化した場合であっても液晶の駆動を適正に行ない得る。そして、このような本発明の液晶表示装置によれば、高輝度、高階調、高精細な画像表示を行ない得る。

【0016】

【発明の実施の形態】本発明の液晶表示装置は前述したとおりの構成のものである。ここでは、本発明の液晶表示装置に係る参考例から説明するが、これから説明する参考例に開示されたあらゆる構成は、後述する本発明の実施例においても採用可能である。そして本発明の液晶表示装置は、参考例に開示された構成を部分的に置換、援用若しくは付加したものをも包含する。

【0017】〔参考例1〕本例は透過型パネルの例であり、透明絶縁基板上にスイッチング素子（トランジスタ）等を設けて素子基板（マトリクス基板）を形成したものである。

【0018】本例に係る素子基板の製造工程を、図7の模式的断面図を用いて説明する。尚、以下の説明及び図7中には、層間絶縁層の形成工程及び表示を省略している。

【0019】まず、透明絶縁基板101上に導電性膜102を堆積後、エッチングによりパターニングを行う。このとき、導電性膜102のエッチングされた部分の一部が、後に表示装置の開口部となる。次に、導電性膜102上に絶縁層103を形成する（図7（a）参照）。

【0020】次に、トランジスタとなるポリシリコン104を堆積後、ゲート酸化を行いゲート絶縁膜105を形成し、その上にゲートポリシリコン106を形成する。続いて、トランジスタのソース、ドレイン領域107、108をイオン注入によって形成した後、コンタクトホールを介してソース107に信号配線109を接続する（図7（b）参照）。

【0021】次に、導電性遮光膜110を形成した後、スルーホールを介してドレイン108と接続されるよう

に透明画素電極 111 を例えば ITO で形成する (図 7 (c) 参照)。

【0022】 以上のようにして作製した素子基板を、対向電極等を形成した透明対向基板と対向させ、これらの間に液晶を封入することで透過型パネルを作製する。

【0023】 本例では、画素電極 111 の電位を保持する保持容量は、トランジスタのドレイン領域 108 と導電性膜 102 の間の容量、及び透明画素電極 111 と導電性遮光膜 110 の間に形成された容量の両方によって形成されている。従って、開口率を損なうことなく大きな保持容量を確保でき、比較的明るく、高精細且つ高階調な液晶表示装置を実現できる。

【0024】 また、本例では、保持容量形成のための共通電極となる導電性膜 102 は開口部を除いた全面に形成されており、従来例に比べて寄生抵抗が著しく減少し、画素電極 111 の電位をより安定させることが可能である。さらに、共通電極の引き回しによる開口率の低下という問題も回避することができる。

【0025】 上記説明では導電性遮光膜 110 を設けたが、これを省略することもできる。この場合、対向基板側にブラックマトリクスを設けることにより階調を向上することができる。

【0026】 導電性膜 102 は、ポリシリコンにイオン注入したものや、単結晶シリコン、ITO 等で形成することが可能である。ITO を用いる場合には、低温ポリシリコン成膜プロセスを用いて形成することができる。また、絶縁膜 103 は導電性膜 102 をパターニングした後に、この表面を酸化して形成することも可能である。

【0027】 また、薄膜トランジスタのソース 107、ドレイン 108 をマスクオフセット、DDD 構造などの電界緩和構造にして、リーク電流の低減、耐圧の向上を図ることも可能である。

【0028】 本例では透過型パネルの例について説明したが、画素電極 111 を反射電極として反射型パネルを構成した場合にも、本例で示した容量形成は有効である。その場合、基板 101 は透明である必要はなく、例えばシリコン基板、金属基板などを用いることが可能である。また、反射型パネルの場合には、導電性遮光膜 110 は容量を形成するための導電性膜であればよく、遮光膜である必要はない。遮光の為に膜の位置する場所は、画素電極よりも上にしたり、対向基板上に位置させたりし、また、膜自体の性質を反射成分を小さくするなど、反射型パネルに適したものにした方が効果的であるのは言うまでもない。また、開口を設ける必要がなく、より大きな容量を確保することができる。

【0029】 [参考例 2] 参考例 1 においては、導電性膜 102 をエッチングすることにより透明化される領域 (開口部となる領域) を設けたが、本例においては、選択酸化により透明化を行った。

【0030】 本例に係る素子基板の製造工程を、図 8 の模式的断面図を用いて説明する。尚、以下の説明及び図 8 中には、層間絶縁層の形成工程及び表示を省略している。

【0031】 先ず、透明絶縁性基板 201 上に導電性膜 202 を形成する。導電性膜 202 は例えばシリコンに不純物注入を行い導電性を持たせたものである。その結晶性としては、多結晶、アモルファス、単結晶などが考えられる。本例では、その導電性膜 202 の一部を選択酸化により酸化を行い、透明領域 203 を形成している (図 8 (a) 参照)。

【0032】 続いて、酸化により導電性膜 202 上に絶縁層 204 を形成する。以下、参考例 1 と同様に、トランジスタとなるポリシリコン 205 を堆積後、ゲート酸化を行いゲート絶縁膜 206 を形成し、その上にゲートポリシリコン 207 を形成する。続いて、トランジスタのソース、ドレイン領域 208、209 をイオン注入によって形成した後、コンタクトホールを介してソース 208 に信号配線 210 を接続する (図 8 (b) 参照)。

【0033】 次に、導電性遮光膜 211 を形成した後、スルーホールを介してドレイン 209 と接続されるように透明画素電極 212 を形成する (図 8 (c) 参照)。

【0034】 以上のようにして作製した素子基板を、対向電極等を形成した透明対向基板と対向させ、これらの間に液晶を封入することで透過型パネルを作製する。

【0035】 一般に TN 液晶などを用いる場合には、画素電極上、あるいは画素電極上の絶縁膜上にポリイミド等の配向膜 (図では省略) をつけた後、その表面にラビング処理を行うことにより液晶の配向の制御を行う。しかしながら、素子基板表面に大きな凹凸がある場合、その影響によりラビングが十分になされない領域ができてしまい、液晶の配向制御が十分になされず配向欠陥を生じる原因となる。このため、例えば黒を表示したい場合に、凹凸が存在する場所付近で白く表示されてしまう領域が現れ、結果としてパネルのコントラストが低下するという問題を抱えていた。

【0036】 一方、本例では選択酸化を行ったことにより開口部が他の部位に比べて盛り上がっているために、少なくとも開口部周辺は均一にラビング処理がなされ、液晶の制御性が良く、高いコントラストをもつ液晶パネルを実現することができる。

【0037】 本例では透過型パネルの例について説明したが、反射型パネルを構成した場合にも同様の効果が得られる。また、開口部が盛り上がっていることは、ラビング処理を行わない液晶表示装置においてもコントラストを向上させることに効果的である。例えば高分子分散型液晶ではラビング処理は必要ないが、開口部が他の領域より低い位置にある場合、開口部以外の領域の電位が電界に大きく影響して、本来与えられるべき電界とは異なる電界が液晶に印加され、パネルのコントラスト、階

調性を低下させることになる。本例の場合には開口部領域は盛り上がっているため、他の領域の電位の影響を受けにくくなり、コントラスト、階調性が向上する。

【0038】以上説明したように本参考例によれば、参考例1で得られる効果に加えて、高いコントラストを持つ液晶表示装置を得ることができる。

【0039】[参考例3] 本例では、薄膜トランジスタからなるスイッチング素子を駆動する周辺駆動回路を単結晶半導体基板上に形成した例を説明する。

【0040】本例に係る素子基板を、図9の模式的断面図を用いて説明する。尚、以下の説明及び図9中には、層間絶縁層に関する説明及び表示を省略している。

【0041】図9中、401は単結晶半導体基板であり、例えばシリコンウエハである。402はLOCOS酸化膜であり、駆動回路のトランジスタの素子分離に利用することができる。403は薄い絶縁膜であり、ウエハ401表面を酸化することにより形成することも可能である。絶縁膜403は駆動回路のゲート絶縁膜として利用される一方、表示画素部の保持容量を構成する絶縁膜として利用される。404は駆動回路を構成するトランジスタのウェル領域である。ウェル404は基板401をそのまま用いる場合は無くてもかまわない。405は駆動回路のゲート電極であり、画素トランジスタのゲート電極409と同じ工程で形成することが可能である。406、407は駆動回路のソース、ドレインである。本例では特に、ソース406・ドレイン407耐圧を向上させるために、電界緩和のための低濃度層408を設けてある。410は画素トランジスタのソースであり、411はドレインである。また、ソース410・ドレイン411耐圧を向上させるために、低濃度電界緩和層412を設けてある。ドレイン411は薄い絶縁膜403を介して基板401との間に容量を形成しており、画素電極電位の保持容量となる。ドレイン411は画素電極413と接続されており、ソース410は信号線414と接続されている。

【0042】本参考例において、後述する実施例1に示される構成を応用すれば、ソース410及び信号線414をLOCOS酸化膜402上に形成することにより、信号線の寄生容量を小さくすることができる。

【0043】駆動回路は単一型のトランジスタで構成することも可能であり、また、CMOS構成とすることも可能である。本例においては、駆動回路はシリコンウエハ上に構成されているために、ポリシリコンやアモルファスシリコンを用いた場合に比べ、駆動力が大きく、また、リーク電流が小さいことから小型、高精細なパネルを高い歩留りで得ることができる。

【0044】以上のような構成の素子基板を、対向電極等を形成した対向基板と対向させ、これらの間に液晶を封入することで反射型パネルが得られる。尚、本例の反射型液晶表示装置では、画素電極413は反射電極であ

るが、画素電極413を透明電極として透過型パネルを構成することも可能である。透過型パネルとする場合には、表示部を透明化する必要があるが、これについては参考例4において詳しく説明する。

【0045】画素電極は直接ドレインにコンタクトしているが、一度アルミ等を介して電氣的に接続することによりコンタクト抵抗を下げることも可能である。

【0046】[参考例4] 本例では、薄膜トランジスタからなるスイッチング素子を駆動する周辺駆動回路を単結晶半導体基板上に形成し、透過型液晶表示装置を構成した例を説明する。本例のパネルの部分断面図を図10に示す。

【0047】図10において、501は単結晶半導体基板、502はSiO₂に代表される絶縁層、503は画素TFTのドレイン511下に絶縁層を介して設けられた導電層である。この導電層503は例えばポリシリコン層で画素部に網の目状に設けられ、周辺の基板に設けられた電源と接続されている。504は基板501の表面に形成されたMOSFETのウェル、505はMOSFETのソース/ドレイン拡散層、506はソース/ドレインに接続する金属配線、507はMOSFETのゲート電極、508は画素FETのソース領域に接続された信号線配線、509は画素TFTのソース領域、510は画素FETのゲート、511は画素FETのドレイン、512は画素FETのチャネル、513は透明画素電極、514は層間絶縁層、515は配向膜、516は液晶層、517は対向基板、518は対向基板517上に設けられた透明対向電極、カラーフィルター、ブラックマトリクス等の層を示す。

【0048】本例において透過型パネルを実現するために、基板501の表示画素部の領域をエッチングにより除去することで透明化している。この場合、酸化膜のエッチング速度よりシリコンのエッチング速度の方が速いエッチング液(例えばTMAH)を用いることにより、均一にくり貫くことができる。このときのエッチングストッパーとして、LOCOS膜等の絶縁膜502を利用することが可能である。あるいはまた、絶縁膜502上に窒化シリコン膜などを堆積してから画素トランジスタを構成すれば、窒化シリコン膜をエッチングストッパー層とすることも可能である。

【0049】図10に示されるように本例の液晶駆動用周辺回路は、バルク単結晶半導体基板上に形成されており、高速・高信頼性が実現される利点を有する。一方、表示画素部は、薄膜トランジスタからなり、光リークに強く、かつTFTチャネル部の膜厚が約300Åと薄く、画素領域の平坦化が為されているため、配向みだれが少なく、高コントラストの画像表示が実現される。

【0050】さらに、表示画素部の透明画素電極513と接続するドレイン領域511の下部に、保持容量を構成するためのポリシリコンの導電層503が配置されて

おり、画素電極 513 とドレイン領域 511 とを接続するためのスルーホール 512 の穴の高さが従来よりも低くなるため、接続が容易になるという作製面での利点も有している。

【0051】図 11 に、本例のアクティブマトリクス方式の液晶表示装置の等価回路図を示す。図 11 において、601 は画素 TFT、602 は走査線、603 は信号線、604 は画素電極、605 は水平シフトレジスタ、606 は垂直シフトレジスタ、607 は水平シフトレジスタによって駆動される映像信号転送スイッチ、608 は映像信号を一時保持するための容量、609 は保持容量に一時保持されている映像信号を画素電極に一括転送する第二の映像シンゴウ転送スイッチである。映像信号は映像信号入力端 610 からタイミングをずらして順次転送されていく。611 は信号線 603 のリセットスイッチである。

【0052】図 12 及び図 13 は、本例のアクティブマトリクス液晶表示装置の駆動パルスタイミング図である。映像信号は奇数行に対応する信号と偶数行に対応する信号が 1 フィールド期間ごとに交互に送られてくる。従って、液晶表示装置の動作としてはまず、奇数フィールドには垂直シフトレジスタ 606 から奇数行目の走査線 (ODD1) に走査信号を送り、奇数行目の画素 TFT 601 を導通させる。その間に液晶に記録されるべき映像信号は、その映像信号に同期した水平走査パルスを出す水平シフトレジスタ 605 (ODD) によって順次駆動される転送スイッチ 607 を介して、各画素の画素電極 604 (2)、604 (4) に記録される。それと同時に、映像信号に同期した水平走査パルスを出す水平シフトレジスタ 605 (EVEN) によって順次駆動される転送スイッチ 607 を介して、容量 608 に映像信号が転送される。次に水平ブランキング期間に、リセットスイッチ 611 を導通させ信号線 603 を一旦リセットした後に、偶数行目の走査線 (EVEN1) に走査信号を送り、偶数行目の画素 TFT 601 を導通させ、同時に第二の映像信号転送スイッチ 609 を導通させ各画素の画素電極 604 (1)、604 (3) に映像信号が記録される。このようにして映像信号は順次画素電極に記録されていく。このようにして転送される信号電圧に対して、セルを構成する液晶分子が動くことで、別にクロスポラライザの関係で設けた偏光板の方向により、液晶セルの透過率が変化する。この様子を図 14 に示す。

【0053】図 14 で横軸に示した信号電圧値 V_{SIG} は、用いる液晶によってその内容が異なることが知られている。たとえば、ツイストネマティック (TN) 液晶を用いた場合はその値は実効電圧値 (V_{rms}) として定義される。この値の定性的な説明は、図 10 で示される。すなわち、液晶に DC 成分が印加され液晶が焼きつくのを防止するため、1 フレーム毎にその信号電圧の極性を変えて信号が印加されるが、液晶自身は図中の斜線

で示した AC 電圧成分に対して動作するのである。したがって、実効電圧 V_{rms} は 2 フレーム分の時間を t_F 、液晶に転送される信号電圧を $V_{LC}(t)$ とすると、次式で表される。

【0054】

【数 1】

$$V_{rms} = \sqrt{\frac{1}{t_F} \int_0^{t_F} (V_{LC}(t) - V_{COM})^2 dt}$$

ここで V_{COM} は、対向電極に印加される電圧である。

【0055】図 14 では V_{rms} が V_{SIG} にあたり、 V_{rms} に応じて液晶セルの透過率が変化し、所望の映像を表示できる。

【0056】水平方向の解像度を向上する手段として、図 11 に示したように、画素の位置を例えば 0.5 画素分ずらして配置する方法があり、これにより例えば奇数行のある画素とその隣の画素の間を水平方向の間隔で見えていくと、偶数行の画素が埋めていることになり、見かけ上、水平解像度が向上する。このとき、図 13 のタイミング図で示したように、奇数行と偶数行の画素の空間的なずれに合わせて、奇数行と偶数行とで水平走査パルスのタイミングをずらす必要がある。

【0057】また、保持容量 608 をもたずに本例によるパネルを駆動することも可能である。この場合水平シフトレジスタは一つあればよい。605 (ODD) を用いて駆動する例を説明する。尚、605 (EVEN)、607、608、609 は不要となる。

【0058】映像信号入力端 610 には、外部メモリからのデータが入力される。水平シフトレジスタ 605 (ODD) を図 11 の例より倍の速度で駆動することにより、1/2 水平走査期間に一行分の書き込みを行い、ブランキング期間における一括書き込みをしなくても、図 11 の例と同じ画素数を駆動することができる。このとき、外部メモリからの読み出しは、水平走査にあわせて倍速で読み出すことにより本駆動は可能となる。

【0059】この例は、信号線の容量が小さく、書き込みの時定数が小さいという本発明による効果により、実現が容易となる。また、シフトレジスタ数、スイッチ類が減ることから、パネルの小型化ができ、製品の小型、軽量化、低コスト化が図れる。さらに、製造上の歩留りが向上し、低コスト化が図れるというメリットもある。

【0060】また、一般に液晶表示装置は先に述べたように、液晶に DC 成分が印加されて液晶が焼き付くのを防ぐために信号電圧の極性を変えて印加される。極性の切替時には液晶セルの透過率に若干の変化が生じ、例えば 1/30 秒周期ではこの変化が人間に認識されてしまい、明るさのちらつき、フリッカとなる。上記で説明したような、奇数行と偶数行と同じ映像信号を書き込む二線同時駆動法をとることで、映像信号の極性反転周期を二分の一の 1/60 秒にし、フリッカを抑制すること

10

20

30

40

50

ができる。

【0061】

【実施例】

【実施例1】本実施例の特徴は、トランジスタのソースの下方にある絶縁層の層厚を、ドレインの下方にある絶縁層の層厚よりも厚くしたことである。本例においては、特徴部分を中心に説明するが、本発明は、前述した参考例に開示された全ての構成、例えば、素子基板の製造方法、駆動回路、液晶表示装置を構成する材料等を部分的に置換、援用、若しくは付加したものを包含する。

【0062】本実施例では、素子基板として不純物を含有し導電性を有するシリコン基板を用いた例を説明する。

【0063】本実施例に係る素子基板を、図4の模式的断面図を用いて説明する。尚、以下の説明及び図4中には、層間絶縁層に関する説明及び表示を省略している。

【0064】図4中、301が不純物を含有し導電性の有るシリコン基板である。302は選択酸化により形成された SiO_2 であり、以下LOCOS酸化膜と呼ぶ。303はLOCOS酸化膜302よりも薄い酸化膜である。LOCOS酸化膜302及び酸化膜303の上に、トランジスタとなるポリシリコン或はアモルファスシリコン304があり、その表面にゲート酸化膜305を介してゲート電極306が存在する。また、不純物の拡散により、ソース307、ドレイン308が形成されている。ソース及びドレイン領域は、拡散係数の異なる2種類のイオンを注入したり、マスク上でオフセットをかけることにより、不純物濃度が段階的に変化するLDD構造として形成し、耐圧を向上させることができる。ソース307はコンタクトホールを介して信号配線309に接続される。ドレイン308はスルーホールを介して画素電極310に接続される。311は導電体層であり、画素電極310との間に容量を形成している。この導電体層311によってトランジスタ部を遮光することにより、トランジスタの光リークを低減することが可能である。

【0065】以上のような構成の素子基板を、対向電極等を形成した対向基板と対向させ、これらの間に液晶を封入することで反射型パネルを作製する。尚、本実施例の反射型液晶表示装置では、画素電極310はアルミ等の金属電極を用いている。

【0066】本実施例においても、導電体層311を形成せずに表示装置を構成することはもちろん可能である。その場合、画素電極310で薄膜トランジスタを遮光すれば、光リーク電流が低減し、表示装置のコントラスト、階調性が向上することは言うまでもない。

【0067】本実施例においては、画素電極310の電位を保持するための保持容量は、薄い酸化膜303を介してドレイン308と基板301の間にも形成されている。基板301の電位は基板の少なくとも一部において

或る電位に固定されていれば良く、基板の寄生容量が大きく、殆ど電位に変動がなければ特に電位を与えなくても良い。導電体層311が有る場合には、保持容量はドレイン308、基板301間の容量と、画素電極310、導電体層311間の容量との並列容量となる。

【0068】本実施例で特筆する点は、基板301とドレイン308間の絶縁膜303は薄く、基板301とソース307間の絶縁層302が厚いことから保持容量が大きく、信号線の寄生容量が小さい表示装置を実現できることである。また、薄い絶縁膜303をシリコン基板を熱酸化したもので構成すれば、高い電界を与えても絶縁破壊やリークが起こりにくくなるため、膜厚を薄く設定することが可能となり、結果としてさらに保持容量を大きくすることが可能である。

【0069】本発明において、薄い絶縁膜303の取得る膜厚は、一般的には50Å~2000Åの範囲、より好ましくは500~1500Åの範囲、最適には700Å~1000Åの範囲とすることができる。

【0070】一方、厚い絶縁膜302の取得る層厚は、一般的には2000Å~15000Åの範囲、より好ましくは2000Å~10000Åの範囲、最適には4000Å~8000Åの範囲とすることができる。

【0071】ところで、信号線の寄生容量が大きくなってしまふと時定数が大きくなり、画素数が多くなった場合や表示装置が大型化した場合に駆動できなくなるといった問題が生じる。また、ビデオ信号をチップ内の容量にメモリしてから画素に書き込む駆動方式をとった場合、信号線の寄生容量の増大によりメモリ容量を大きくする必要がおこり、チップサイズの増大、ウエハあたりのチップ取れ数の減少を引き起こす。しかしながら本実施例では、ソース307や信号線309はLOCOS酸化膜302上を通るために、信号線の寄生容量を小さくすることが可能である。

【0072】また、本実施例では遮光層311を設けたが、ドレイン308と基板301との間で形成される容量が十分大きい場合には、必ずしも遮光層311を設けなくても良い。この場合、遮光はカラーフィルター等を有する対向基板側のブラックマトリクスで行うことができる。さらに、本実施例での画素電極310を基板301に対して斜めに配置し、対向基板との間の液晶層とし高分子分散型のものを用いて、偏光板不要の高輝度反射型パネルを実現することもできる。

【0073】【実施例2】図5にしたがい、本実施例を説明する。実施例1の形態に加えて、ドレイン308と基板301との間の容量を安定させるために、不純物拡散層312を設けることにより、保持容量を安定させることができる。不純物拡散層312は基板301と同じ導電型であり、ドレイン308下の空乏層の広がりをおさえ容量値が変化することを防ぐことができる。あるいは、基板301の電位をドレイン308下が反転領域

を形成するように設定することで反転容量を形成することも可能である。この場合、反転領域の電荷を供給するために反転領域と接するように、基板とは反対の導電型をもつ不純物拡散領域を設けておくと、さらに容量値は安定する。

【0074】また、ゲート電極306形成の工程において、配線313を形成し、ドレイン308との間に容量を形成することも可能である。配線313は表示部上において1方向あるいは格子状に引き回され、表示部周辺で電位を与えることができる。配線313下のドレイン領域にも不純物を注入するためにはソース、ドレインの濃い層をマスク上でオフセットをかける構成の場合、濃い層を配線313形成前にイオン注入し、薄い層のイオン注入を配線313及びゲート電極306形成後に行うことによりゲートセルフアライントランジスタの工程と整合性よく形成することができる。この容量はドレイン308と基板301の間の容量や画素電極310と遮光膜311の間の容量などと並列に接続され、さらに大きな保持容量を形成することができる。

【0075】〔実施例3〕薄膜トランジスタのリーク電流を低減し、かつ、駆動力を確保するために、ソース、ドレイン領域の膜厚を厚く、また、チャネル領域の膜厚を薄くすることが有効である。一方、トランジスタの駆動力を考えると、チャネルーソース間、チャネルードレイン間の寄生抵抗が問題となり、膜厚を厚くすることで寄生抵抗を下げる事が可能である。更に、ソース、ドレイン部の膜厚を厚くすることは、コンタクト抵抗を下げ、又、コンタクトのエッチングを容易に行うことができるというメリットもある。本実施例では、これらのことを考慮に入れた液晶表示装置の例を示す。

【0076】図6は、そうした液晶表示装置を構成するアクティブマトリクス基板の模式図である。本図において、図に付した部番で、図3中に付した番号と同じものは同じ部位を指すので詳しい説明は省略する。

【0077】図6に示したアクティブマトリクス基板においては、ソース、ドレイン部に半導体領域412が設けられている。即ち、チャネル領域を構成する半導体層304よりもソース、ドレインを構成する半導体層が厚く形成されている。半導体領域412をパターニング後、307を構成する半導体層を堆積することで図6の構造を得ることができる。412の領域は307を構成する半導体層堆積前にイオン注入によりソース、ドレインと同じ導電型層とすることも可能であるが、半導体層307を堆積後もしくはゲート306をパターニングした後のソース、ドレインのイオン注入、拡散の工程でソース、ドレインと同時に不純物注入を行うことが可能である。

【0078】この構造によって、よりリーク電流が小さく、駆動力の高いトランジスタを形成することができる。

【0079】

【発明の効果】本発明によれば、画素サイズを縮小した場合にも開口率を著しく損なうことなく大きな保持容量を持つ液晶表示装置が実現できる。また、画素数を増やして表示装置を大型化した場合であっても、液晶の駆動を適正に行ない得る液晶表示装置が実現できる。

【0080】よって、本発明の液晶表示装置によれば、高輝度、高階調、高精細な画像表示を行ない得る。

【図面の簡単な説明】

10 【図1】従来のアクティブマトリクス型液晶表示装置の画素セルの等価回路図である。

【図2】従来の液晶表示装置の画素セルの断面構造及び平面構造を示す図である。

【図3】従来の液晶表示装置の一例を示す模式図である。

【図4】本発明の液晶表示装置に係るマトリクス基板の一例を示す模式的断面図である。

【図5】本発明の液晶表示装置に係るマトリクス基板の一例を示す模式的断面図である。

20 【図6】本発明の液晶表示装置に係るマトリクス基板の一例を示す模式的断面図である。

【図7】本発明の参考例に係る液晶表示装置のマトリクス基板の模式的断面図である。

【図8】本発明の参考例に係る液晶表示装置のマトリクス基板の模式的断面図である。

【図9】本発明の参考例に係る液晶表示装置のマトリクス基板の模式的断面図である。

【図10】本発明の参考例に係る液晶表示装置の液晶セルの模式的断面図である。

30 【図11】本発明の参考例に係る液晶表示装置の部分等価回路図である。

【図12】液晶表示装置の駆動パルスタイミングの一例を示す図である。

【図13】液晶表示装置の駆動パルスタイミングの一例を示す図である。

【図14】液晶表示装置の信号電圧と透過率の関係を示す図である。

【図15】液晶表示装置の動作を説明するための図である。

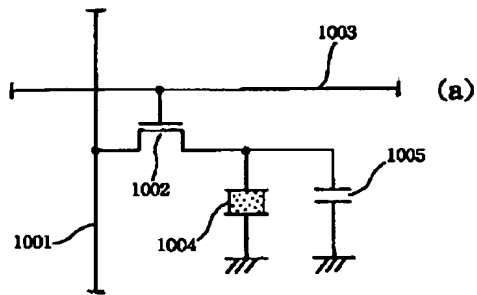
40 【符号の説明】

- 11 シリコンウェハー
- 13 絶縁層
- 17 ドレイン
- 21 ソース
- 27 ゲート酸化膜
- 29 ゲート
- 31 絶縁層
- 33 画素電極
- 36 構成部材
- 50 101 透明絶縁性基板

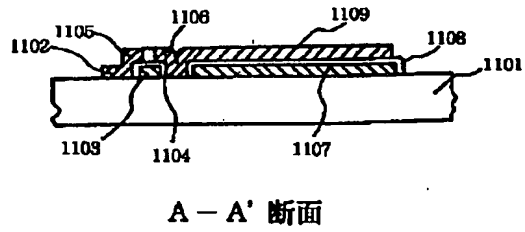
102 導電性膜
 103 絶縁膜
 104 ポリシリコン
 105 ゲート絶縁膜
 106 ゲートポリシリコン
 107 ソース領域
 108 ドレイン領域
 109 信号配線
 110 導電性遮光膜
 111 透明画素電極
 201 透明絶縁性基板
 202 導電性膜
 203 透明領域
 204 絶縁膜
 205 ポリシリコン
 206 ゲート酸化膜
 207 ゲート電極
 208 ソース
 209 ドレイン
 210 信号配線
 211 導電性遮光膜
 212 透明画素電極
 301 シリコン基板
 302 LOCOS膜
 303 酸化膜
 304 アモルファスシリコン
 305 ゲート酸化膜
 306 ゲート電極
 307 ソース
 308 ドレイン
 309 信号配線
 310 画素電極
 311 導電体層
 312 不純物拡散層
 313 配線
 401 半導体基板
 402 LOCOS膜
 403 絶縁膜
 404 ウェル領域
 405 ゲート電極
 406 ソース
 407 ドレイン
 408 低濃度電界緩和層
 409 ゲート電極
 410 ソース
 411 ドレイン

412 低濃度電界緩和層
 413 画素電極
 414 信号配線
 501 半導体基板
 502 絶縁層
 503 導電層
 504 MOSFETのウェル
 505 MOSFETのソース/ドレイン拡散層
 506 金属配線
 10 507 MOSFETのゲート電極
 508 信号線配線
 509 画素TFTのソース
 510 画素TFTのゲート
 511 画素TFTのドレイン
 512 画素TFTのチャネル
 513 透明画素電極
 514 層間絶縁層
 515 配向膜
 516 液晶層
 20 517 透明対向基板
 518 透明対向電極層
 601 画素TFT
 602 走査線
 603 信号線
 604 画素電極
 605 水平シフトレジスタ
 606 垂直シフトレジスタ
 607 映像信号転送スイッチ
 608 容量
 30 609 第二の映像信号転送スイッチ
 610 映像信号入力端
 611 リセットスイッチ
 1001 信号配線
 1002 画素トランジスタ
 1003 ゲート線
 1004 液晶
 1005 保持容量
 1101 透明絶縁基板
 1102 信号配線
 40 1103 ゲート線
 1104 絶縁膜
 1105 画素トランジスタのソース
 1106 画素トランジスタのドレイン
 1107 共通電極
 1108 絶縁膜
 1109 画素電極

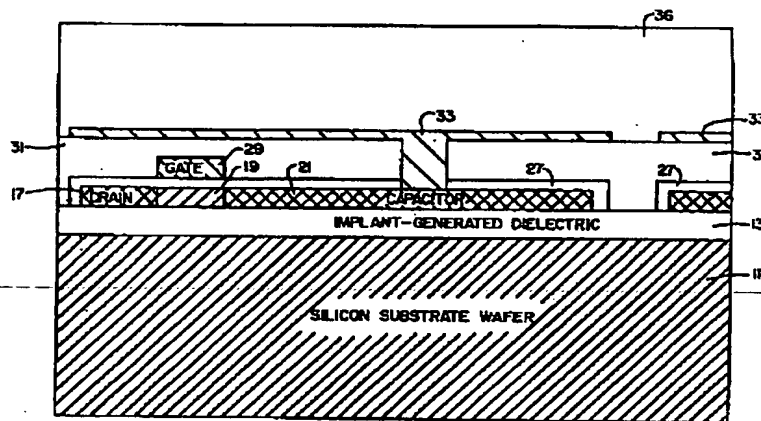
【図1】



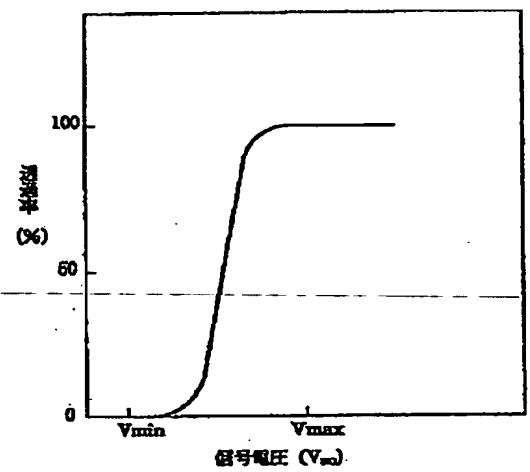
【図2】



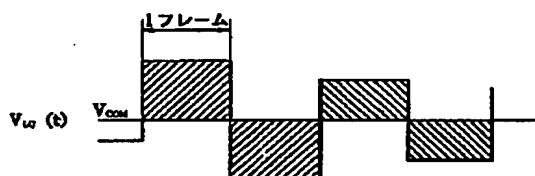
【図3】



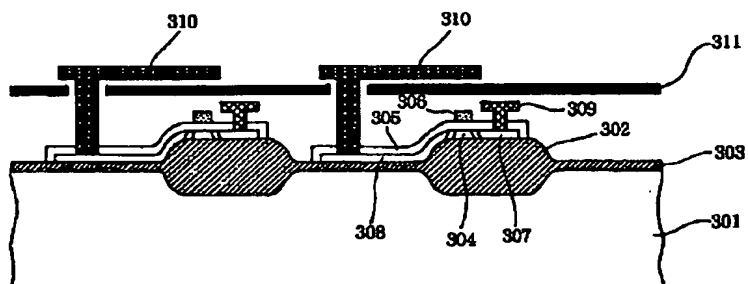
【図14】



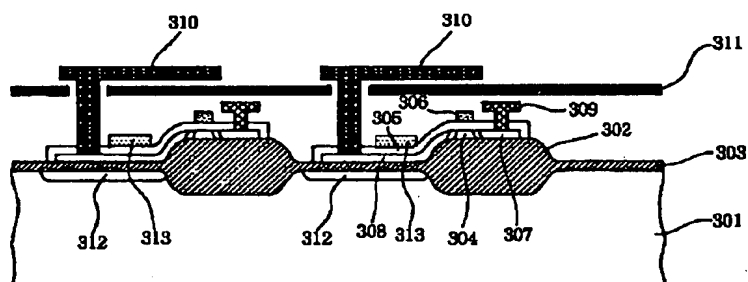
【図15】



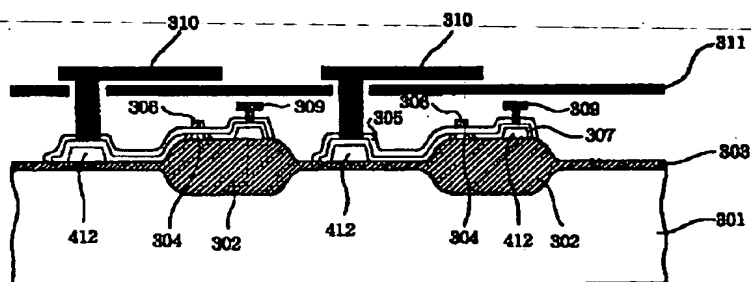
【図4】



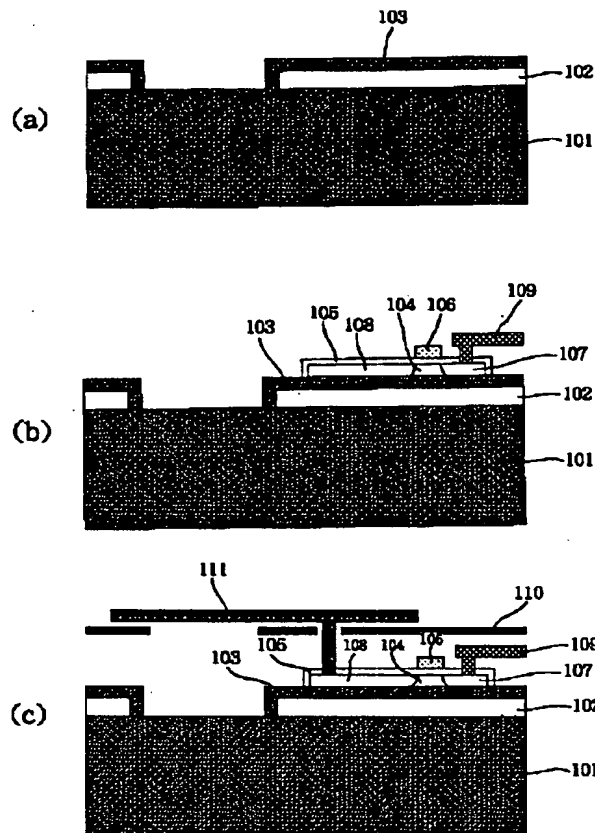
【図5】



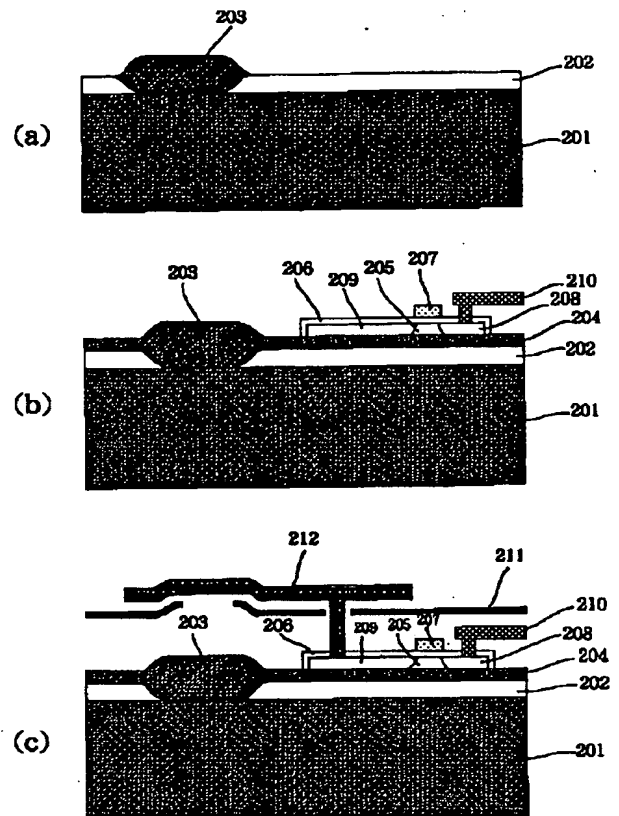
【図6】



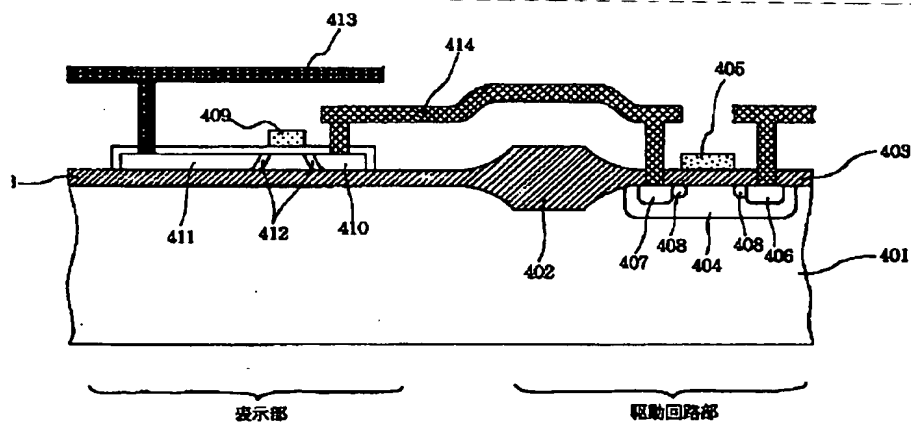
【図7】



【図8】

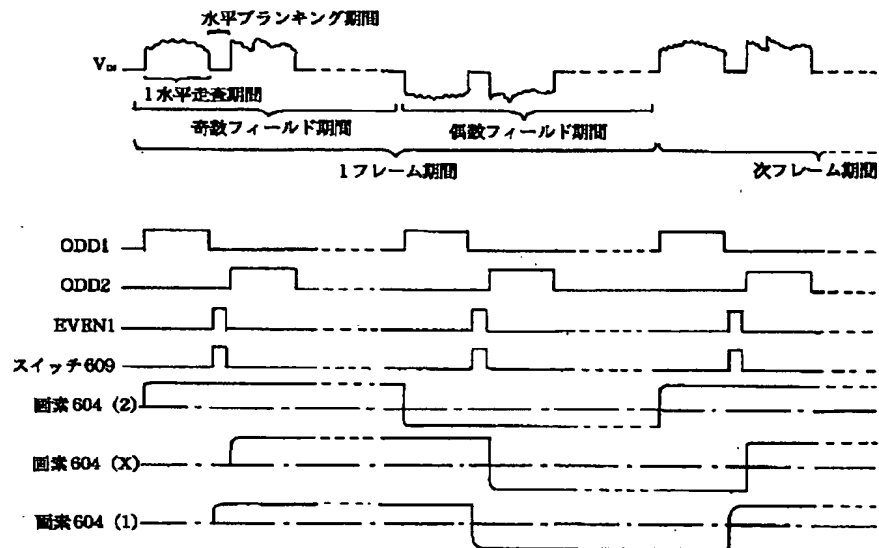


【図9】



This cross-sectional view shows a semiconductor device with a central channel region (503) and side gate regions (505). The device is formed on a substrate (501) and includes a gate stack (506, 507, 508) and a source/drain region (502). The central channel is defined by a gate stack (510, 513) and is surrounded by a gate stack (517, 518, 519). The side gates are defined by a gate stack (515, 514, 516) and are surrounded by a gate stack (517, 518, 519). The device is formed on a substrate (501) and includes a gate stack (506, 507, 508) and a source/drain region (502).

【図12】



【図13】

